



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0016484  
Application Number

출원 년 월 일 : 2003년 03월 17일  
Date of Application MAR 17, 2003

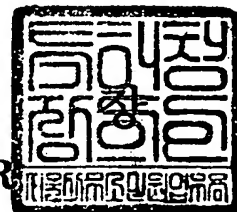
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.17
【발명의 명칭】	트렌치 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조방법
【발명의 영문명칭】	Trench isolation method and Method for manufacturing non-volatile memory device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이상훈
【성명의 영문표기】	LEE, Sang Hoon
【주민등록번호】	710924-1000219
【우편번호】	437-810
【주소】	경기도 의왕시 내손2동 697-4
【국적】	KR
【발명자】	
【성명의 국문표기】	임헌형
【성명의 영문표기】	LEAM, Hun Hyeoung
【주민등록번호】	650223-1453015
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 450번지 신갈삼성아파트 102동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	신승목
【성명의 영문표기】	SHIN, Seung Mok

【주민등록번호】	700112-1168145
【우편번호】	442-727
【주소】	경기도 수원시 팔달구 영통동 신나무실 주공아파트 501동 303호
【국적】	KR
【발명자】	
【성명의 국문표기】	이우성
【성명의 영문표기】	LEE, Woo Sung
【주민등록번호】	731111-1029441
【우편번호】	449-060
【주소】	경기도 용인시 상가동 135-8번지 삼성그린빌리지 102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	20 면 20,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	830,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

트렌치 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법이 개시된다. 반도체 기판 상에 제1 산화막, 제1 도전막 및 질화막을 차례로 형성하고, 제1 도전막 및 제1 산화막을 식각하여 제1 산화막 패턴 및 제1 도전막 패턴을 형성한 다음, 제1 도전막 패턴에 인접한 부분의 기판을 식각하여 기판에 트렌치를 형성한다. 상기 트렌치를 일산화이질소( $N_2O$ ) 또는 산화질소( $NO$ ) 분위기 하에서 큐어링한 후, 인-시투로 트렌치 내에 제2 산화막을 형성한다. 트렌치의 큐어링 및 제2 산화막 형성 공정을 인-시투로 수행함으로써, 버즈 비크의 발생으로 인한 내구성 열화를 개선할 수 있고, 갭 매립에 필요한 마진을 확보할 수 있으며, 별도의 열산화막을 형성할 필요 없이 제조 공정을 단순화시킬 수 있다.

**【대표도】**

도 3f

**【명세서】****【발명의 명칭】**

트렌치 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법{Trench isolation method and Method for manufacturing non-volatile memory device using the same}

**【도면의 간단한 설명】**

도 1a 내지 도 1g는 종래의 자기정렬된 셀로우 트렌치 소자 분리 공정을 적용한 플래시 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 2는 도 1c의 'D' 부분을 확대한 단면도이다.

도 3a 내지 도 3h는 본 발명의 제1 실시예에 따른 트렌치 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 4는 본 발명의 제1 실시예에 따른 트렌치 소자 분리 방법의 공정 조건을 설명하기 위한 그래프이다.

도 5a 내지 도 5g는 본 발명의 제3 실시예에 의한 트렌치 소자 분리 공정 및 이를 이용한 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100, 200 : 반도체 기판    102, 202 : 제1 산화막 패턴

104, 204 : 제1 도전막 패턴    106, 206 : 질화막 패턴

108, 208 : 트렌치    120, 220 : 제2 산화막

112, 212 : 제3 산화막    124, 224 : 필드 산화막

126, 226 : 제2 도전막 패턴 125, 225 : 플로팅 게이트

128, 218, 318 : ONO막 130, 230 : 컨트롤 게이트

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 트렌치를 형성하는 동안 발생하는 반도체 장치의 특성 열화를 개선하고, 제조 공정을 단순화할 수 있는 셀로우 트렌치 소자 분리(shallow trench isolation; STI) 방법 및 이를 이용한 불휘발성 메모리 장치(non-volatile memory device)의 제조 방법에 관한 것이다.

<14> 일반적으로, 고집적 메모리 장치의 제조에 있어서, 메모리 셀의 집적도는 메모리 셀의 레이아웃 및 임계 치수의 축소에 따른 레이아웃의 비례축소능력(scalability)에 의해 주로 결정된다. 임계 치수가 서브-마이크론 영역 이하로 축소됨에 따라, 레이아웃의 비례축소능력은 제조 공정의 해상도(resolution) 및 설계용 마스크에 의한 얼라인먼트 공차에 의해 제한된다. 마스크의 얼라인먼트는 공정시 웨이퍼의 상부에 마스크를 위치시키는 기계적 기술 및 마스크의 상부에 패턴을 일관되게 인쇄하는 기술에 의해 제한된다. 얼라인먼트 공차가 축적되면 셀 어레이의 레이아웃 시에 미스-얼라인먼트 에러가 유발되기 때문에, 칩 설계에서 얼라인먼트 공차를 제어하기 위해서는 얼라인먼트 임계 마스크를 보다 적게 사용하는 것이 바람직하다.

- <15> 대부분의 고집적 메모리 설계는 셀 어레이 내의 열 방향의 셀들 사이에 소자 분리 구조를 요구하므로 메모리 어레이의 집적도를 증가시키기 위해서는 소자 분리 구조의 치수를 최소화하는 것이 바람직하다. 그러나, 소자 분리 구조의 크기는 소자분리 구조를 형성하기 위한 공정 및 메모리 셀 어레이 내의 구조들에 대한 정렬에 의해 제한된다.
- <16> 통상적으로, 소자 분리 구조는 실리콘 부분 산화법(local oxidation of silicon; LOCOS)과 같은 열적 필드 산화 공정을 사용하여 형성된다. 실리콘 부분 산화법을 이용한 소자 분리에 의하면, 먼저 실리콘 기판 상에 산화막 및 질화막을 차례로 형성한 후, 질화막을 패터닝한다. 이어서, 패터닝된 질화막을 산화 방지 마스크로 사용하여 실리콘 기판을 선택적으로 산화시켜 기판 상에 필드 산화막을 형성한다. 그러나, 상기 실리콘 부분 산화법에 따르면, 실리콘 기판의 선택적 산화 시에 마스크로 사용되는 질화막 하부에서 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 액티브 영역의 폭이 감소되어, 반도체 소자의 전기적 특성이 열화된다.
- <17> 이러한 문제점을 해결하기 위하여, 초고집적 반도체 장치에서는 셀로우 트렌치 소자 분리(STI) 구조가 제시되어 있다. 셀로우 트렌치 소자 분리 공정에 의하면, 실리콘 기판을 식각하여 트렌치를 형성한 후, 트렌치를 채우면서 기판 상에 산화막을 증착한다. 계속하여, 산화막을 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 방법으로 식각하여 트렌치의 내부에 필드 산화막을 형성하게 된다.
- <18> 전술한 실리콘 부분 산화법이나 셀로우 트렌치 소자 분리 공정은 공통적으로 액티브 영역을 정의하기 위하여 마스크를 형성하는 단계와 액티브 영역을 한정하는 필드 산

화막을 형성하는 단계를 포함한다. 반도체 기판 상에 소자 분리 구조를 형성한 후에는, 메모리 셀들을 형성하기 위한 마스크 단계들이 수행된다. 따라서, 소자분리 구조의 형성에 수반되는 얼라인먼트 공차와 메모리 셀의 레이아웃에 수반되는 얼라인먼트 공차가 결합하여 반도체 소자의 구조에 치명적인 영향을 미치는 미스-얼라인먼트를 유발하게 된다.

<19> 이와 같은 미스-얼라인먼트 문제를 해결하기 위한 방법의 일 예로서, 불휘발성 메모리 장치에 있어서 열 산화법에 따른 소자 분리 구조를 플로팅 게이트에 자기정렬 방식으로 형성하는 방법이 제시되어 있다. 또한, 셀로우 소자 분리 공정에 따른 소자 분리 구조를 플로팅 게이트에 자기정렬 방식으로 형성하는 방법이 미합중국 특허 제6,013,551호(issued to Jong Chen) 등에 개시되어 있다. 전술한 방법들에 의하면, 전하의 저장에 이용되는 플로팅 게이트와 액티브 영역이 하나의 마스크를 사용하여 동시에 정의되므로 액티브 영역과 플로팅 게이트 사이에 자기 정렬방식으로 소자 분리 구조가 제공된다.

<20> 대체로, 불휘발성 메모리 장치는 한번 데이터를 입력하면 시간이 지나도 그 상태를 유지할 수 있는 특성을 갖는데, 최근에는 전기적으로 데이터의 입·출력이 가능한 플래쉬 메모리에 대한 수요가 늘고 있다. 플래쉬 메모리 장치에서 데이터를 저장하는 메모리 셀은 실리콘 기판의 상부에 터널 산화막을 개재하여 형성된 플로팅 게이트 그리고 플로팅 게이트의 상부에 층간 유전막을 개재하여 형성된 컨트롤 게이트의 스택형 게이트 구조를 갖는다. 이와 같은 구조를 갖는 플래쉬 메모리 셀에서 데이터의 저장은 컨트롤 게이트와 기판에 적절한 전압을 인가하여 플로팅 게이트에 전자를 집어넣거나 빼냄으로써 이루어진다. 이때, 층간 유전막은 플로팅 게이트에 충전된 전하 특성을 유지시키고 컨트롤 게이트의 전압을 플로팅 게이트에 전달하는 역할을 한다.



- <21> 도 1a 내지 도 1g는 종래의 셀로우 트렌치 소자 분리 공정을 이용한 플래쉬 메모리 장치의 제조 방법을 설명하기 위한 사시도들을 도시한 것이다.
- <22> 도 1a를 참조하면, 실리콘 기판(10) 상에 산화막(11)을 형성한 후, 산화막(11) 상에 제1 폴리실리콘층(13) 및 질화막(15)을 순차적으로 형성한다. 이 때, 상기 산화막(11)은 플래쉬 메모리 셀의 게이트 산화막, 즉 터널 산화막으로 제공되고, 제1 폴리실리콘층(13)은 플로팅 게이트로 기능하며, 질화막(15)은 후속하는 화학 기계적 연마 공정 시에 연마 종료막으로 기능한다.
- <23> 도 1b를 참조하면, 포토레지스트 패턴(도시되지 않음)을 마스크로 이용하는 식각 공정을 통해 질화막(15), 제1 폴리실리콘층(13) 및 산화막(11)을 식각하여 산화막 패턴(12), 제1 폴리실리콘층 패턴(14) 및 질화막 패턴(16)을 형성한다. 계속해서, 상기 포토레지스트 패턴을 마스크로 이용하여 제1 폴리실리콘층 패턴(14)에 인접한 기판(10)의 상부를 식각하여 트렌치(18)를 형성한다. 즉, 하나의 마스크를 이용한 트렌치(18) 형성 공정에 의해 기판(10)에 액티브 영역을 정의하는 동시에 기판(10)의 상부에 플로팅 게이트를 형성한다.
- <24> 도 1c를 참조하면, 트렌치(18)를 형성하기 위한 식각 공정 동안 고에너지의 이온 충격으로 야기된 실리콘의 손상(damage)을 큐어링(curing)하고 트렌치 부근에서의 누설 전류의 발생을 억제하기 위하여, 트렌치(18)의 노출된 부분을 산화 분위기 하에서 열처리한다. 이에 따라, 노출된 실리콘과 산소의 산화 반응에 의해 트렌치(18)의 바닥과 측벽 상에 열산화막(20)이 형성된다. 이 때, 열산화막(20)을 형성하기 위한 열처리 공정은 약 820℃ 정도의 온도에서 약 3시간~3시간 30분 동안 수행된다. 또한, 열산화막(20)을

형성한 다음, 일산화이질소( $N_2O$ ) 또는 산화질소( $NO$ )의 분위기 하에서 열산화막(20)이 형성된 트렌치(18)의 내벽을 약  $850^{\circ}C$  정도의 온도에서 어닐링(annealing)시킨다.

<25> 도 2는 도 1c의 'D' 부분을 확대한 단면도를 도시한 것이다.

<26> 도 2에 도시한 바와 같이, 상기 산화 공정 시, 제1 폴리실리콘층 패턴(14)의 하부에서 산화막 패턴(12)의 측면으로 산소가 침투하여, 버즈 비크(a)가 유발된다. 또한, 산화 공정을 수행하는 동안 산화막의 부피 팽창이 계속적으로 일어나는 바, 실리콘 기판(10)과 제1 폴리실리콘층 패턴(14)의 표면에서만 산화가 진행되므로 제1 폴리실리콘층 패턴(14)과 산화막 패턴(12) 간의 계면 에지(edge) 및 실리콘 기판(10)과 산화막 패턴(12) 간의 계면 에지에서는 산화막의 부피 팽창이 제한된다. 따라서, 이들 계면 에지에서 산화막의 부피 팽창으로 인한 스트레스가 집중되어 산소의 확산이 느려짐으로써 산화가 억제된다(도 2의 b 참조). 그 결과, 제1 폴리실리콘층 패턴(14)의 바닥 에지 부분이 외부로 굴곡되면서 제1 폴리실리콘층 패턴(14)의 측벽(도 2의 c 참조)이 포지티브 기울기(positive slope)를 갖게 된다. 여기서, 측벽이 포지티브 기울기를 갖는다는 것은 에천트(etchant)에 대하여 측벽이 침식되는 기울기를 갖는다는 것을 의미한다. 즉, 질화막 패턴(16)의 바로 아래는 질화막 패턴(16)의 존재에 의해 산소의 침투가 억제되어 제1 폴리실리콘층 패턴(14)의 측벽 상부는 약간의 네거티브 기울기(negative slope)를 갖게 되지만, 측벽 하부는 바닥 에지 부분이 외부로 굴곡되어 메사 구조물의 측벽과 같이 기판 상부 방향에서 도입되는 에천트에 대하여 침식되거나 하부 막의 식각 저지막으로서 작용하게 되는 포지티브 기울기를 갖게 된다.

<27> 다시 도 1c를 참조하면, 중온 산화물(MTO)로 구성된 산화막(MTO)(30)을 열산화막(20)이 형성된 트렌치(18) 및 질화막 패턴(16) 상에 형성한다. 상기 중온 산화물로 구성

된 산화막(30)의 형성 공정은 실란( $\text{SiH}_4$ ) 및 일산화이질소( $\text{N}_2\text{O}$ )를 사용하여 약  $750^\circ\text{C}$  정도의 온도에서 약 4시간 정도 수행된다. 이러한 중온 산화물로 이루어진 산화막(30)을 형성함으로써, 플라즈마를 이용한 갭 매립(gap fill)시 플라즈마에 의한 트렌치(18) 및 질화막 패턴(16)의 손상을 방지하게 된다.

<28> 도 1d를 참조하면, 중온 산화물로 구성된 산화막(30)이 형성된 트렌치(18)를 채우면서 반도체 기판(10)의 상부에 화학 기상 증착(CVD) 방법으로 CVD 산화막(21)을 형성한다.

<29> 도 1e를 참조하면, 제1 폴리실리콘층 패턴(14)의 상면이 노출될 때까지 상기 CVD 산화막(21)을 화학 기계적 연마(CMP) 방법으로 연마한다. 이에 따라, 트렌치(18)에는 액티브 영역을 한정하는 필드 산화막(22)이 형성된다.

<30> 이어서, 제1 폴리실리콘층 패턴(14) 및 필드 산화막(22) 상에 플로팅 게이트로 사용될 제2 폴리실리콘층(도시되지 않음)을 증착한다. 제2 폴리실리콘층은 제1 폴리실리콘층 패턴(14)에 접촉되며, 후속 공정에서 형성될 층간 유전막(26)의 면적을 증가시킨다.

<31> 도 1f를 참조하면, 사진 식각 공정으로 의해 필드 산화막(22) 상의 제2 폴리실리콘층을 패터닝하여 제1 폴리실리콘층 패턴(14) 상에 제2 폴리실리콘층 패턴(24)을 형성한 후, 상기 결과물의 전면에서 ONO(산화막/질화막/산화막)구조의 층간 유전막(26) 및 컨트롤 게이트층(28)을 차례로 형성한다. 이 때, 컨트롤 게이트층(28)은 통상 도핑된 폴리실리콘층과 텅스텐 실리사이드층이 적층된 폴리사이드 구조로 형성된다.

<32> 도 1g를 참조하면, 사진 식각 공정에 의해 컨트롤 게이트층(28)을 패터닝한 다음, 노출된 층간유전막(26), 제2 폴리실리콘층 패턴(24) 및 제1 폴리실리콘층 패턴(14)을 건

식 식각한다. 그 결과, 메모리 셀 영역에는 제1 폴리실리콘층 패턴(14)과 제2 폴리실리콘층 패턴(24)으로 이루어진 플로팅 게이트(25) 및 컨트롤 게이트(28)를 구비하는 적층형(stacked) 게이트 구조가 형성된다.

<33> 그러나, 도 1f의 'E'와 같이, 제1 폴리실리콘층 패턴(14)의 측벽 하부가 포지티브 기울기를 갖고 있으므로 전식 식각 공정을 수행할 때, 수직 방향으로 식각이 진행되는 이방성 식각 특성에 의해 제1 폴리실리콘층 패턴(14) 중 필드 산화막(22)으로 마스킹되어진 부위가 식각되지 않고 잔류할 수 있다. 구체적으로, 제1 폴리실리콘층 패턴(14), 필드 산화막(22) 및 기판(10)이 서로 만나는 지점에서 제1 폴리실리콘층 패턴(14)의 잔류물(residue)(14a)이 필드 산화막(22)과 액티브 영역 사이의 표면 경계를 따라 라인 형태로 형성될 수 있다. 이러한 폴리실리콘 잔류물(14a)은 인접한 플로팅 게이트(25) 사이에서 브리지(bridge)를 형성하여, 반도체 소자의 전기적 불량(fail)을 유발할 수 있다.

<34> 또한, 열산화막(20)을 형성하고 중온 산화물로 이루어진 산화막(30)을 형성하는 데에 약 7시간 이상이 소요되고, 각 과정을 수행하기 위해 기판을 여러 챔버들 사이를 이동하여야 하기 때문에 공정이 복잡하고 제조 비용이 상승하게 되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 따라서, 본 발명의 제1 목적은 반도체 소자의 전기적 불량을 방지할 수 있으며, 제조 공정을 단순화할 수 있는 트렌치 소자 분리 방법을 제공하는 것이다.

<36> 본 발명의 제2 목적은 반도체 소자의 전기적 불량을 방지할 수 있는 동시에 제조 공정을 단순화하여 제조 비용 및 시간을 절감할 수 있는 불휘발성 메모리 장치의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <37> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 트렌치 소자 분리 방법에 의하면, 반도체 기판 상에 제1 산화막을 형성하고, 상기 제1 산화막 상에 제1 도전막 및 질화막을 형성한 후, 상기 질화막, 상기 제1 도전막 및 상기 제1 산화막을 식각하여 질화막 패턴, 제1 도전막 패턴 및 산화막 패턴을 형성한다. 이어서, 상기 제1 도전막 패턴에 인접하는 부분의 기판을 식각하여 상기 기판에 트렌치를 형성하고, 상기 트렌치를 질소를 포함하는 화합물을 사용하여 큐어링한 다음, 상기 트렌치의 바닥 및 측벽 상에 제2 산화막을 형성하고, 상기 트렌치를 매립하는 필드 산화막을 형성한다. 상기 트렌치는 약 800℃ 이상의 고온에서 어닐링되며, 상기 제2 산화막은 약 700~800℃ 정도의 온도에서 인-시투로 형성된다.
- <38> 상술한 본 발명의 제2 목적을 달성하기 위하여 본 발명의 다른 바람직한 실시예에 따른 불활성 메모리 장치의 제조 방법에 의하면, 반도체 기판 상에 제1 산화막을 형성하고, 상기 제1 산화막 상에 제1 도전막을 형성한 다음, 상기 제1 도전막 상에 질화막을 형성하고, 상기 질화막, 상기 제1 도전막 및 상기 제1 산화막을 식각하여 질화막 패턴, 제1 도전막 패턴 및 산화막 패턴을 형성한다. 계속하여, 상기 질화막 패턴을 마스크로 이용하여 상기 제1 도전막 패턴에 인접한 부분의 상기 기판을 식각하여 트렌치를 형성하고, 상기 트렌치를 질소를 포함하는 화합물로 큐어링한 후, 상기 트렌치 바닥 및 측벽 상에 인-시투로 제2 산화막을 형성한다. 이어서, 상기 트렌치를 매립하면서 상기 질화막 패턴을 덮는 제3 산화막을 형성하고, 제3 산화막을 제거하여 상기 트렌치 내에 필드 산화막을 형성한 후, 상기 제1 도전막 패턴 상에 제2 도전막 패턴을 형성하고, 상기 제2 도전막 패턴 상에 ONO막 및 제3 도전막을 순차적으로 형성한다.

<39> 본 발명에 의하면, 트렌치를 열처리하여 트렌치 내에 열산화막을 형성하는 공정을 생략하는 대신  $N_2O$  또는  $NO$ 의 분위기 하에서 트렌치를 어닐링하고 인-시투로 중온 산화물로 구성된 산화막을 형성하여 버즈 비크와 같은 결함을 방지할 수 있다. 또한, 비교적 장시간이 소요되는 열산화막 형성 과정을 생략하고 어닐링 및 중온 산화막 형성 공정을 인-시투로 진행하기 때문에 공정 시간을 크게 단축할 수 있다. 이에 따라, 반도체 장치의 전체적인 공정 시간 및 제조 비용을 절감할 수 있다.

<40> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법을 상세히 설명하지만, 본 발명이 하기의 실시예들에 의해서 한정되거나 제한되는 것은 아니다.

<41> 실시예 1

<42> 도 3a 내지 도 3h는 본 발명의 제1 실시예에 따른 트렌치 소자 분리 방법을 설명하기 위한 사시도들을 도시한 것이며, 도 4는 본 발명의 제1 실시예에 따른 트렌치 소자 분리 방법의 공정 조건을 설명하기 위한 그래프를 도시한 것이다.

<43> 도 3a를 참조하면, 실리콘으로 이루어진 반도체 기판(100) 상에 산화물을 약 100 Å 이하의 얇은 두께로 형성하여 게이트 산화막 또는 터널 산화막에 상응하는 제1 산화막(101)을 형성한다.

<44> 이어서, 제1 산화막(101) 상에 플로팅 게이트로 사용되는 제1 도전막(103)을 화학 기상 증착(LPCVD) 방법을 이용하여 약 300~1000 Å 정도의 두께로 형성한 다음, 통상적인 도핑 방법, 예를 들면,  $POCl_3$  확산 방법, 이온 주입 방법, 또는 인-시투 도핑 방법으

로 제1 도전막(103)을 고농도의 N형 불순물로 도핑시킨다. 바람직하게는, 제1 도전막(103)은 폴리실리콘 또는 아몰퍼스 실리콘으로 이루어진다.

<45>       상기 제1 도전막(103) 상에 화학 기상 증착 방법으로 실리콘 질화물로 이루어진 질화막(105)을 약 1500~2000 Å 정도의 두께로 형성한다. 질화막(105)은 후속하는 식각 공정 동안 마스크로 기능하는 한편 화학 기계적 연마(CMP) 공정 동안 연마 종료층(stopping layer)의 역할도 수행한다.

<46>       도 3b를 참조하면, 사진 식각 공정을 이용하여 질화막(105)을 패터닝하여, 질화막 패턴(106)을 형성한 다음, 플로팅 게이트를 정의하기 위하여 질화막 패턴(106)을 마스크로 하여 제1 도전막(103) 및 제1 산화막(101)을 건식 식각한다. 이에 따라, 제1 도전막 패턴(104) 및 제1 산화막 패턴(102)이 형성된다.

<47>       계속하여, 상기 질화막 패턴(106)을 마스크로 이용하여 제1 도전막 패턴(104)에 인접하는 기판(100)의 상부를 약 2000~5000 Å 정도의 깊이로 식각하여 기판(100)에 트렌치(108)를 형성한다. 그 결과, 상기 제1 도전막 패턴(104)들은 각기 트렌치(108)에 의해 서로 분리된다. 본 실시예에 있어서, 질화막 패턴(106)을 하나의 마스크로 이용하여 제1 도전막 패턴(104) 및 제1 산화막 패턴(102)을 형성한 다음, 계속하여 상기 마스크를 이용한 자기 정렬 방식으로 기판(100)을 식각하여 트렌치(108)를 형성하여 기판(100)에 액티브 영역을 형성하는 동시에 기판(100)의 상부에 플로팅 게이트를 부분적으로 형성한다. 그러나, 질화막 패턴(106)을 마스크로 하여 제1 도전막 패턴(104) 및 제1 산화막 패턴(102) 등을 형성하고, 질화막 패턴(106)을 제거한 다음, 실리콘에 대하여 식각 선택비를 갖는 다른 물질로 이루어진 마스크를 형성하고 이를 이용하여 기판(100)을 식각함으로써 기판(100)에 트렌치(108)를 형성할 수도 있다.

<48> 도 3c 및 도 4를 참조하면, 일산화이질소( $N_2O$ ) 또는 산화질소( $NO$ )를 포함하는 질소 화합물을 사용하여 트렌치(108)가 형성된 기판(100)을 어닐링하여, 식각 공정 동안 손상된 트렌치(108)의 내부를 큐어링한다.

<49> 이어서, 인-시튜로 트렌치(108)를 채우면서 질화막 패턴(106)이 형성된 기판(100)의 전면에 중온 산화물로 이루어진 제2 산화막(120)을 형성한다. 따라서, 제1 산화막(120)은 기판(100)의 상면, 트렌치(108)의 바닥 및 측벽, 그리고 질화막 패턴(106)의 상면에 연속적으로 형성된다. 이 경우, 상기 어닐링 공정은 약  $800^{\circ}C$  정도 또는 그 이상의 온도에서 수행되며(II), 제2 산화막(120)은 약  $600\sim 800^{\circ}C$  정도의 온도에서 약  $140\sim 160\text{ \AA}$  정도의 두께로 형성된다. 바람직하게는, 제2 산화막(120)은 약  $750^{\circ}C$  정도의 온도에서 트렌치(108)의 바닥 및 측벽으로부터 약  $150\text{ \AA}$  정도의 두께를 갖도록 형성된다. 상기 제2 산화막(120)을 형성하기 위한 공정은 약 4시간 정도 진행된다. 본 발명에 따르면, 트렌치(108)의 어닐링 공정 및 제2 산화막(120) 형성 공정을 인-시튜로 수행함으로써, 공정이 단순화되며, 전체적인 반도체 제조 공정에 소요되는 시간이 단축된다. 이와 같이, 간단하고 신속한 트렌치(108) 형성 공정에 의해서 버즈 비크와 같은 결함의 발생을 일차적으로 예방할 수 있다.

<50> 도 3d를 참조하면, 트렌치(108)를 매립하기 위해 BPSG,  $O_3$ -TEOS, USG 또는 고밀도 플라즈마(HDP) 산화막 등과 같이 갭 필링 특성이 우수한 제3 산화막(112)을 트렌치(108)를 포함하는 기판(100) 상에 약  $5000\text{ \AA}$  정도의 두께로 형성한다. 이 때, 제3 산화막(112)은 질화막 패턴(106)을 완전히 덮도록 형성된다. 바람직하게는, 제3 산화막(112)은  $SiH_4$ ,  $O_2$  및 Ar 가스를 플라즈마 소스로 사용하는 고밀도 플라즈마 공정에 의하여 형성된다.



- <51> 도 3e를 참조하면, 질화막 패턴(106)의 표면이 노출될 때까지 제3 산화막(112)을 에치 백 또는 화학 기계적 연마(CMP) 방법으로 제거하여 트렌치(108) 내에 반도체 기판(100)에 액티브 영역을 한정하는 필드 산화막(124)을 형성한다.
- <52> 도 3f를 참조하면, 인산을 사용하는 스트립 공정으로 질화막 패턴(106)을 제거하여 제1 도전막 패턴(104)을 노출시킨다. 따라서, 필드 산화막(124)의 상부가 제1 도전막 패턴(104) 보다 약간 높게 돌출된다.
- <53> 이어서, 불산을 포함하는 에천트로 기판(100) 상의 불순물을 약 30초 정도 세정하는 전 세정(pre-cleaning) 공정을 실시한다. 이 경우, 질화막 패턴(106)의 스트립 공정 및 기판(100)의 전 세정 공정으로 인해 필드 산화막(124)이 약 250Å 정도 이상의 두께로 소모될 수 있다.
- <54> 도 3g를 참조하면, 상기 제1 도전막 패턴(104) 및 필드 산화막(124) 상에 폴리실리콘이나 아몰퍼스 실리콘과 같은 제2 도전막(도시되지 않음)을 화학 기상 증착 방법에 의해 약 3000Å 이상의 두께로 형성한다.
- <55> 이어서,  $\text{POCl}_3$  확산 방법, 이온 주입 방법, 또는 인-시튜 도핑 방법 등을 이용하여 제2 도전막을 고농도의 N형 불순물로 도핑시킨다. 이 때, 상기 제2 도전막은 플로팅 게이트로 기능하는 한편 후속 공정에서 형성되는 ONO막(128)의 면적을 증가시키는 역할을 하므로 가능한 한 두껍게 형성하는 것이 바람직하다.
- <56> 계속하여, 사진 식각 공정으로 필드 산화막(124) 상의 제2 도전막을 제거하여 제1 도전막 패턴(104) 상에 제2 도전막 패턴(126)을 형성한다. 이에 따라, 제1 및 제2 도전

막 패턴(104, 126)을 포함하는 플로팅 게이트(125)가 형성되는 동시에 인접하는 메모리 셀의 플로팅 게이트들이 서로 분리된다.

<57> 도 3h를 참조하면, 제2 도전막 패턴(126) 및 필드 산화막(124)을 포함하는 기판(100)의 전면에 ONO막(128)을 형성한다. 즉, 제2 도전막 패턴(126)을 산화시켜 약 100~150Å 정도의 두께를 갖는 하부 산화막을 형성한 후, 상기 산화막 상에 약 130~150Å 정도의 두께를 가지는 질화막을 형성한다. 이어서, 상기 질화막을 산화시켜 약 40~100Å 정도의 두께를 가지는 상부 산화막을 형성함으로써, 전체적인 산화막 두께가 약 100~200Å 정도인 ONO막(128)을 형성한다.

<58> 계속하여, ONO막(128) 상에 제3 도전막과 금속 실리사이드층을 적층하여 컨트롤 게이트(130)를 형성한다. 이 때, 상기 제3 도전막은 N<sup>+</sup>형으로 도핑된 폴리실리콘으로 구성되며, 상기 금속 실리사이드층은 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 또는 탄탈륨 실리사이드(TaSix) 등으로 이루어진다. 바람직하게는, 컨트롤 게이트(130)의 제3 도전막은 약 1000Å 정도의 두께로 형성되고, 금속 실리사이드층은 약 1000~1500Å 정도의 두께로 형성된다.

<59> 다음에, 사진 식각 공정을 이용하여 컨트롤 게이트(130)를 부분적으로 식각한 다음, 컨트롤 게이트(130)의 식각에 따라 노출된 ONO막(128), 제2 도전막 패턴(126) 및 제1 도전막 패턴(104)을 부분적으로 건식 식각 방법으로 식각한다. 그 결과, 메모리 셀 영역에는 제1 도전막 패턴(104) 및 제2 도전막 패턴(126)으로 이루어진 플로팅 게이트(125)와 컨트롤 게이트(130)를 구비한 적층형 게이트가 형성된다.

<60>      실시예 2

- <61>      도 5a 내지 도 5g는 본 발명의 제2 실시예에 의한 트렌치 소자 분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 사시도들을 도시한 것이다.
- <62>      도 5a를 참조하면, 실리콘과 같은 반도체 기판(200) 상에 열산화법을 이용하여 약 100Å 이하의 얇은 두께를 가지는 셀 트랜지스터의 게이트 산화막 또는 터널 산화막으로 사용되는 제1 산화막(201)을 형성한다.
- <63>      이어서, 제1 산화막(201) 상에 플로팅 게이트로 사용될 제1 도전막(203)을 저압 화학 기상 증착(LPCVD) 방법에 의해 약 300~1000Å 정도의 두께로 형성하고,  $\text{POCl}_3$  확산 방법, 이온 주입 방법, 또는 인-시튜 도핑 방법 등으로 제1 도전막(203)을 고농도의 N형 불순물로 도핑시킨다. 이 경우, 제1 도전막(203)은 폴리실리콘 또는 아몰퍼스 실리콘으로 형성한다.
- <64>      계속하여, 제1 도전막(203) 상에 저압 화학 기상 증착 방법으로 질화막(205)을 약 1500~2000Å 정도의 두께로 형성한다.
- <65>      도 5b를 참조하면, 플로팅 게이트를 정의하기 위하여, 포토레지스트 패턴(도시되지 않음)을 이용하는 사진 식각 공정을 통해 질화막(205)을 패터닝하여 마스크로 사용되는 질화막 패턴(206)을 형성한다. 이 때, 포토레지스트 패턴을 마스크로 하여 질화막(205), 제1 도전막(203) 및 제1 산화막(201)을 순차적으로 식각하여 질화막 패턴(206), 제1 도전막 패턴(204) 및 제1 산화막 패턴(202)을 동시에 형성할 수도 있다.

- <66> 계속하여, 상기 포토레지스트 패턴을 제거한 다음, 질화막 패턴(206)을 마스크로 사용하여, 제1 도전막(203) 및 제1 산화막(201)을 건식 식각함으로써, 제1 산화막 패턴(202) 및 제1 도전막 패턴(204)을 형성한다.
- <67> 이어서, 상기 마스크를 이용하여 제1 도전막 패턴(204)에 인접한 기판(200)의 상부를 약 2000~5000 Å 정도의 깊이로 식각하여 기판(200)에 소정 치수의 트렌치(208)를 형성한다. 이에 따라, 제1 도전막 패턴(204)들은 트렌치(208)에 의해 분리된다. 본 실시예에 있어서, 트렌치(208)를 형성하는 공정 동안, 하나의 마스크를 사용하여 기판(200)에 액티브 영역을 정의하는 한편, 기판(200) 상에 플로팅 게이트를 동시에 형성하므로 액티브 영역과 플로팅 게이트 사이에 자기정렬 방식으로 트렌치(208)를 형성할 수 있다.
- <68> 도 5c를 참조하면, N<sub>2</sub>O 또는 NO와 같은 질소 화합물을 사용하는 어닐링 공정을 수행하여 식각으로 인하여 손상된 트렌치(208) 내면을 큐어링한 다음, 인-시튜로 트렌치(208) 내부 및 질화막 패턴(206) 상에 중온산화물로 이루어진 제2 산화막(220)을 형성한다. 이 때, 상기 어닐링 공정은 약 800℃ 정도나 그 이상의 온도에서 수행되며, 제2 산화막(120)은 약 700~800℃ 정도의 온도에서 약 140~160 Å 정도의 두께를 가지도록 형성된다. 바람직하게는, 트렌치에 MTO 산화막(120)은 약 150 Å 정도의 두께를 가지며, 약 750℃ 정도의 온도에서 형성된다. 상기 트렌치(208)의 어닐링 공정 및 제2 산화막(120) 형성 공정을 인-시튜로 수행함으로써, 공정을 간략화하여 공정 시간이 단축된다.
- <69> 도 5d를 참조하면, 트렌치(208)를 매립하도록 트렌치(208)가 형성된 반도체 기판(200)의 전면에서 USG, O<sub>3</sub>-TEOS, BPSG 또는 고밀도 플라즈마(HDP) 산화막과 같이 캡 필링 특성이 우수한 물질로 구성된 제3 산화막(212)을 약 5000 Å 정도의 두께로 증착한다. 이 경우, SiH

4,  $O_2$  및 Ar 가스를 플라즈마 소스로 이용하여 고밀도 플라즈마를 발생시킴으로써 제3 산화막(212)을 형성하는 것이 바람직하다.

<70> 도 5e를 참조하면, 제1 도전막 패턴(204)의 상면이 노출될 때까지 제3 산화막(212)을 에치백 또는 화학 기계적 연마(CMP) 방법으로 제거하여, 상기 트렌치(208)의 내부에 필드 산화막(224)을 형성한다.

<71> 계속하여, 불산을 함유하는 에천트로 기판(200)을 약 30초 정도 세정하는 전 세정(pre-cleaning) 공정을 수행한다.

<72> 도 5f를 참조하면, 상기 제1 도전막 패턴(204) 및 필드 산화막(224) 상에 폴리실리콘이나 아몰퍼스 실리콘으로 이루어진 제2 도전막(도시되지 않음)을 화학 기상 증착 방법에 의해 약 3000Å 이상의 두께로 형성한다.

<73> 이어서,  $POCl_3$  확산 방법, 이온 주입 방법, 또는 인-시튜 도핑 방법 등으로 상기 제2 도전막을 고농도의 N형 불순물로 도핑시킨다. 상기 제2 도전막은 플로팅 게이트를 구성하는 동시에 후속 공정에서 형성될 ONO막의 면적을 증가시키기 위해 형성되기 때문에 가능한 한 두껍게 형성하는 것이 바람직하다.

<74> 이어서, 사진 식각 공정으로 필드 산화막(224) 상의 제2 도전막을 제거하여 제1 도전막 패턴(204) 상에 제2 도전막 패턴(226)을 형성한다. 따라서, 제1 및 제2 도전막 패턴(204, 226)으로 구성되는 플로팅 게이트가 형성되는 한편 인접하는 메모리 셀의 플로팅 게이트들이 서로 분리된다.

<75> 도 5g를 참조하면, 기판(200)의 전면에 ONO막(228)을 형성한다. 구체적으로는, 제2 도전막 패턴(226)을 산화시켜 약 100Å 정도의 두께를 갖는 산화막을 형성하고, 그 위에

약 130 Å 정도의 두께를 가지는 질화막을 형성한 다음, 상기 질화막을 산화시켜 약 40 Å 정도의 두께를 가지는 산화막을 형성하여, 산화막/질화막/산화막의 구조를 가지는 ONO막(228)을 형성한다.

<76> 이어서, ONO막(228) 상에 제3 도전막 및 금속 실리사이드층으로 구성된 컨트롤 게이트(230)를 형성한다. 이 때, 제3 도전막은 N<sup>+</sup>형으로 도핑된 폴리실리콘으로 구성되며, 금속 실리사이드층은 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 또는 탄탈륨 실리사이드(TaSix)로 이루어진다. 컨트롤 게이트(230)는 약 1000 Å 정도의 두께를 갖는 제3 도전막 및 약 1000~1500 Å 정도의 두께를 갖는 금속 실리사이드층으로 이루어진다.

<77> 계속하여, 사진 식각 공정으로 컨트롤 게이트(230)를 패터닝하여 ONO막(228)을 노출시킨 다음, 노출된 ONO막(228), 제2 도전막 패턴(226) 및 제1 도전막 패턴(204)을 차례로 건식 식각함으로써, 반도체 기판(200)의 메모리 셀 영역에는 제1 도전막 패턴(204) 및 제2 도전막 패턴(226)으로 이루어진 플로팅 게이트(225)와 그 상부에 형성된 컨트롤 게이트(230)를 구비하는 적층형 게이트가 형성된다.

#### 【발명의 효과】

<78> 상술한 바와 같이 본 발명에 의하면, 트렌치를 열처리하여 트렌치 내에 열산화막을 형성하는 공정을 생략하는 대신 N<sub>2</sub>O 또는 NO의 분위기 하에서 트렌치를 어닐링하고 인-시튜로 증온 산화물로 구성된 산화막을 형성하여 버즈 비크와 같은 결함을 방지할 수 있다. 또한, 비교적 장시간이 소요되는 열산화막 형성 과정을 생략하고 어닐링 및 증온 산화막 형성 공정을 인-시튜로 진행하기 때문에 공정 시간을 크게 단축할 수 있다. 이에 따라, 반도체 장치의 전체적인 공정 시간 및 제조 비용을 절감할 수 있다.

<79> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 제1 산화막을 형성하는 단계;

상기 제1 산화막 상에 제1 도전막 및 질화막을 형성하는 단계;

상기 질화막, 상기 제1 도전막 및 상기 제1 산화막을 식각하여 질화막 패턴, 제1 도전막 패턴 및 산화막 패턴을 형성하는 단계;

상기 제1 도전막 패턴에 인접하는 부분의 기판을 식각하여 상기 기판에 트렌치를 형성하는 단계;

상기 트렌치를 질소를 포함하는 화합물을 사용하여 큐어링하는 단계;

상기 트렌치의 바닥 및 측벽 상에 제2 산화막을 형성하는 단계; 및

상기 트렌치를 매립하는 필드 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 2】**

제1항에 있어서, 상기 트렌치는 상기 질화막 패턴을 마스크로 하여 자기 정렬 방식으로 형성되는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 3】**

제2항에 있어서, 상기 제1 도전막 패턴 및 산화막 패턴은 상기 질화막 패턴을 마스크로 이용하여 형성되는 것을 특징으로 하는 트렌치 소자 분리 방법.



**【청구항 4】**

제1항에 있어서, 상기 질소를 포함하는 화합물은 일산화이질소( $N_2O$ ) 또는 일산화질소( $NO$ )를 포함하는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 5】**

제1항에 있어서, 상기 트렌치를 큐어링하는 단계는 상기 트렌치를  $800^{\circ}C$  이상의 온도에서 어닐링하는 단계인 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 6】**

제5항에 있어서, 상기 제2 산화막을 형성하는 단계는 인-시튜로 수행되는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 7】**

제6항에 있어서, 상기 제2 산화막은  $700\sim 800^{\circ}C$ 의 온도에서 형성되는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 8】**

제1항에 있어서, 상기 제2 산화막은 중온 산화물(MTO)을 포함하는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 9】**

제8항에 있어서, 상기 제2 산화막은  $140\sim 160\text{\AA}$ 의 두께로 형성되는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 10】**

제1항에 있어서, 상기 필드 산화막을 형성하는 단계는,

상기 트렌치를 매립하면서 상기 질화막 패턴을 덮는 제3 산화막을 형성하는 단계;  
및

상기 제3 산화막을 상기 질화막 패턴의 표면이 노출될 때까지 에치 백 공정 또는 화학 기계적 연마 공정으로 평탄화시키는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 11】**

제10항에 있어서, 상기 제3 산화막은 BPSG,  $O_3$ -TEOS, USG 및 고밀도 플라즈마(HDP) 산화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 트렌치 소자 분리 방법.

**【청구항 12】**

반도체 기판 상에 제1 산화막을 형성하는 단계;

상기 제1 산화막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 질화막을 형성하는 단계;

상기 질화막, 상기 제1 도전막 및 상기 제1 산화막을 식각하여 질화막 패턴, 제1 도전막 패턴 및 산화막 패턴을 형성하는 단계;

상기 질화막 패턴을 마스크로 이용하여 상기 제1 도전막 패턴에 인접한 부분의 상기 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치를 질소를 포함하는 화합물로 큐어링하는 단계;

상기 트렌치 바닥 및 측벽 상에 인-시투로 제2 산화막을 형성하는 단계;

상기 트렌치를 매립하면서 상기 질화막 패턴을 덮는 제3 산화막을 형성하는 단계;

상기 제3 산화막을 제거하여 상기 트렌치 내에 필드 산화막을 형성하는 단계;

상기 제1 도전막 패턴 상에 제2 도전막 패턴을 형성하는 단계; 및

상기 제2 도전막 패턴 상에 ONO막 및 제3 도전막을 순차적으로 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 13】

제12항에 있어서, 상기 트렌치는 상기 질화막 패턴을 마스크로 하여 자기 정렬 방식으로 형성되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

【청구항 14】

제12항에 있어서, 상기 질소를 포함하는 화합물은 일산화이질소( $N_2O$ ) 또는 일산화질소( $NO$ )를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 15】

제12항에 있어서, 상기 트렌치를 큐어링하는 단계는 상기 트렌치를 800℃ 이상의 고온에서 어닐링하는 단계인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 16】

제12항에 있어서, 상기 제2 산화막은 140~160Å의 두께를 가지며, 증온 산화물로 이루어지는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【청구항 17】

제16항에 있어서, 상기 제2 산화막은 700~800℃의 온도에서 형성되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**【청구항 18】**

제12항에 있어서, 상기 제1 및 제2 도전막 패턴은 플로팅 게이트를 구성하며, 상기 제3 도전막은 컨트롤 게이트인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**【청구항 19】**

제12항에 있어서, 상기 제2 도전막 패턴을 형성하기 전에 상기 제3 산화막을 상기 질화막 패턴의 표면이 노출될 때까지 에치 백 공정 또는 화학 기계적 연마 공정으로 평탄화시키고, 상기 질화막 패턴을 선택적으로 제거하여 상기 제1 도전막 패턴의 표면을 노출시키는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**【청구항 20】**

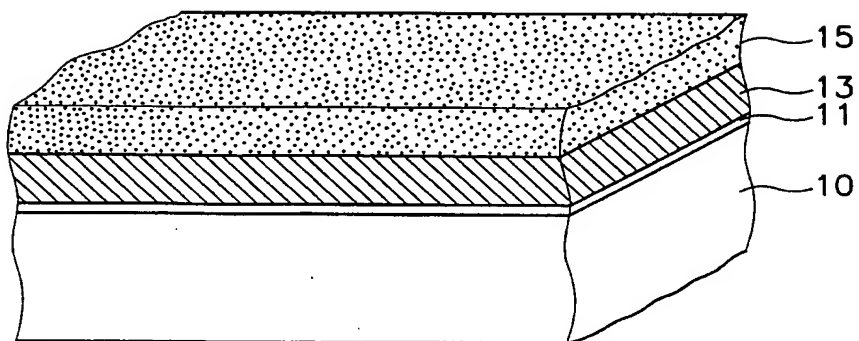
제12항에 있어서, 상기 제2 도전막 패턴을 형성하기 전에 상기 제3 산화막을 상기 제1 도전막 패턴의 표면이 노출될 때까지 에치 백 공정 또는 화학 기계적 연마 공정으로 평탄화시키는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**【청구항 21】**

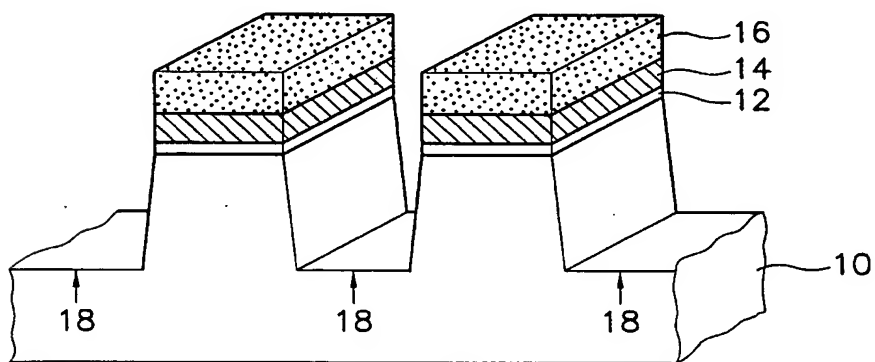
제12항에 있어서, 상기 제3 산화막은 BPSG,  $O_3$ -TEOS, USG 및 고밀도 플라즈마(HDP) 산화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

【도면】

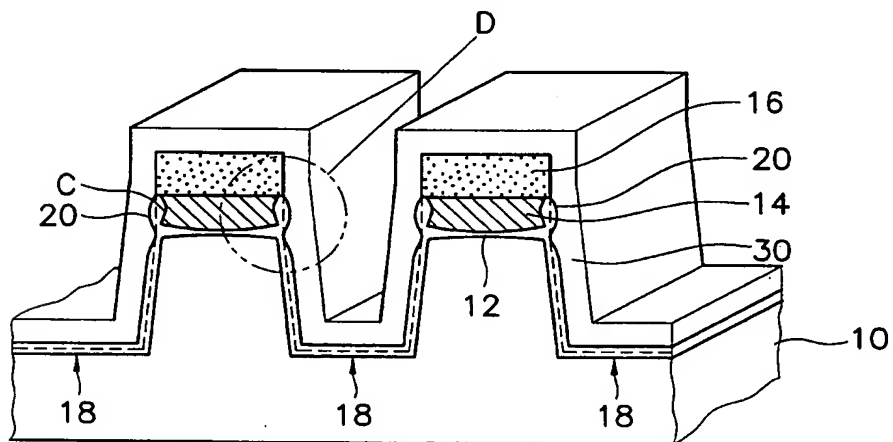
【도 1a】



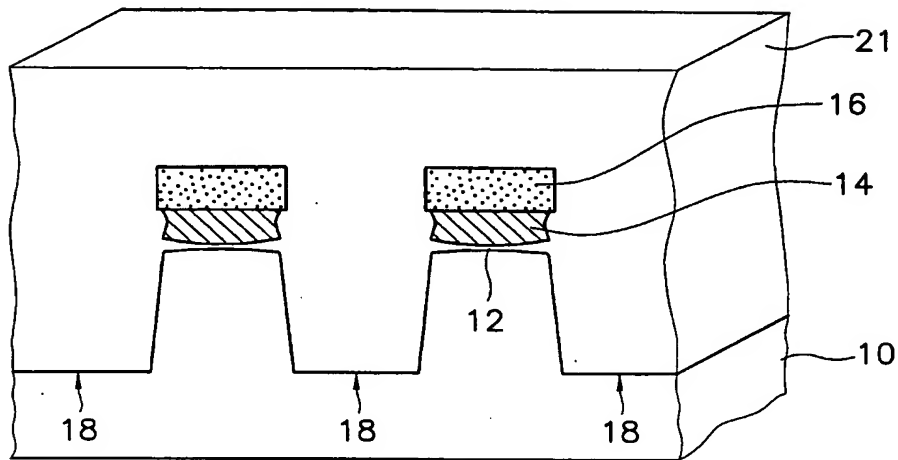
【도 1b】



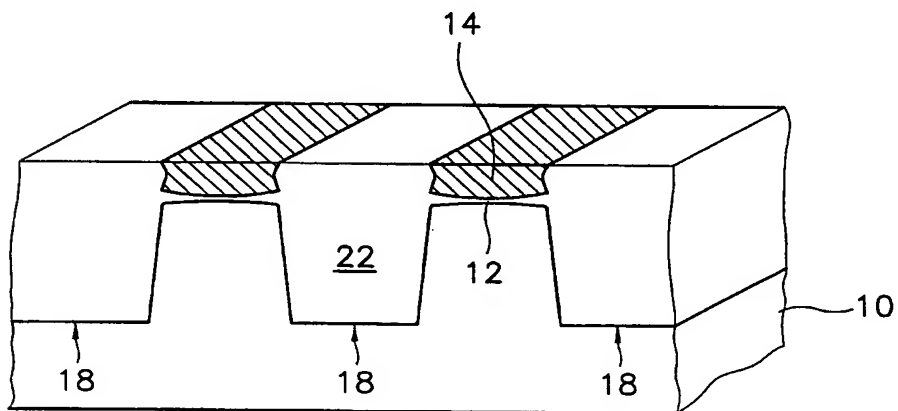
【도 1c】



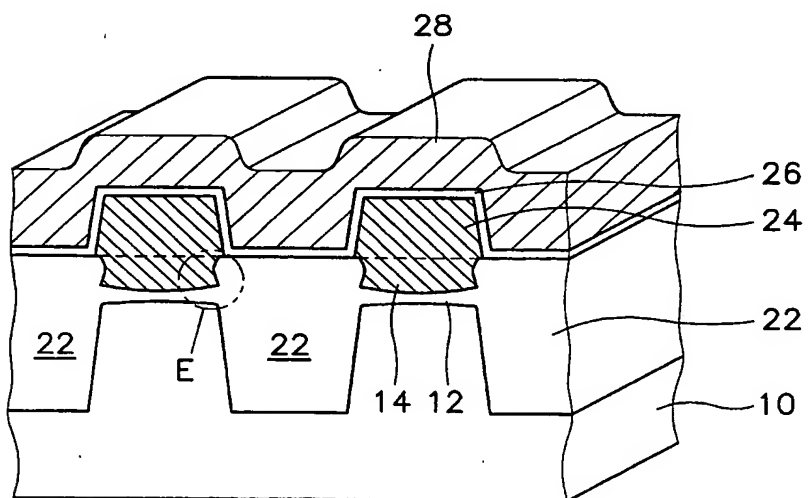
【도 1d】



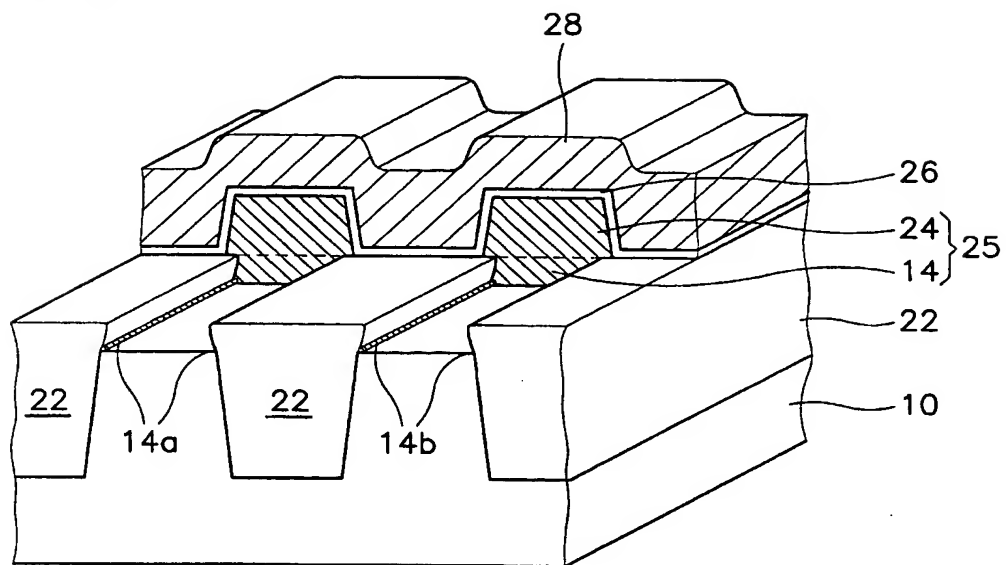
【도 1e】



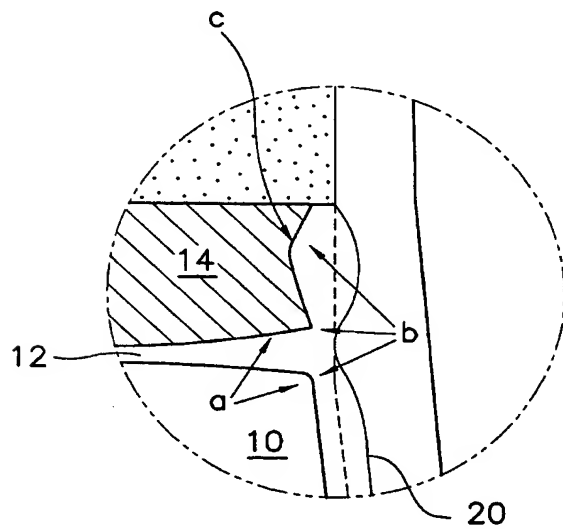
【도 1f】



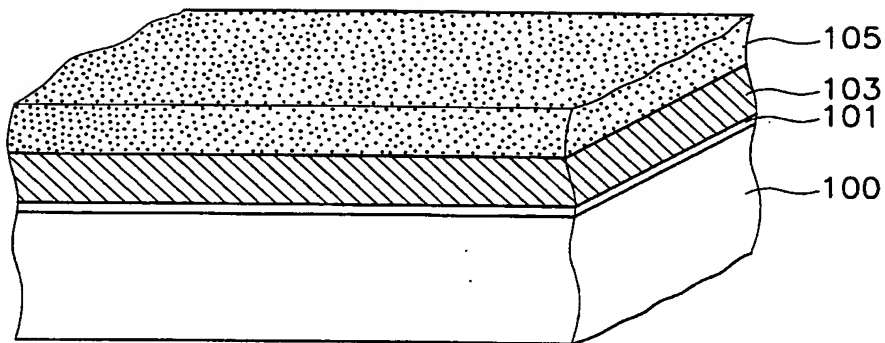
【도 1g】



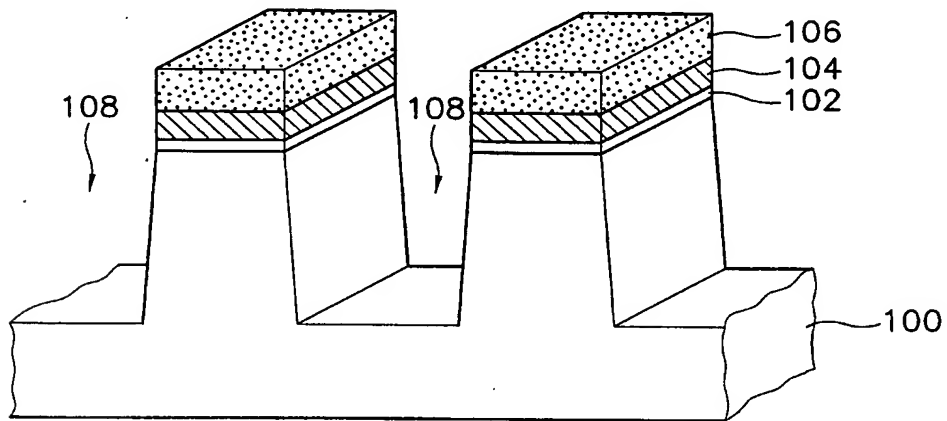
【도 2】



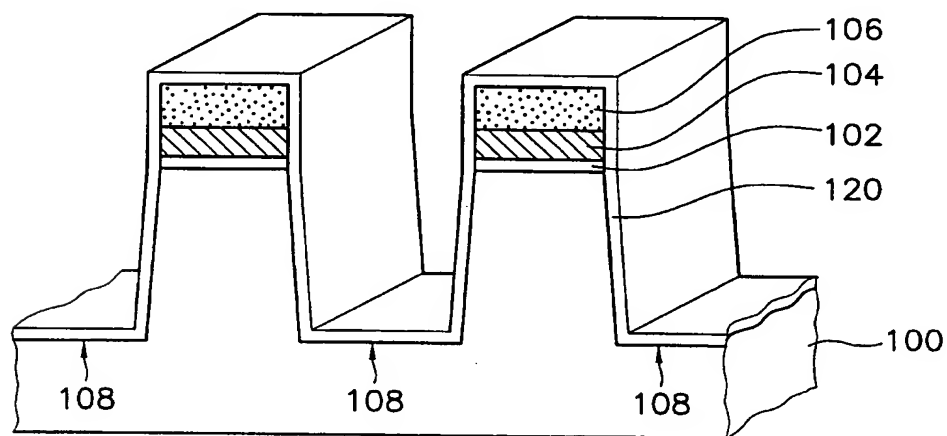
【도 3a】



【도 3b】

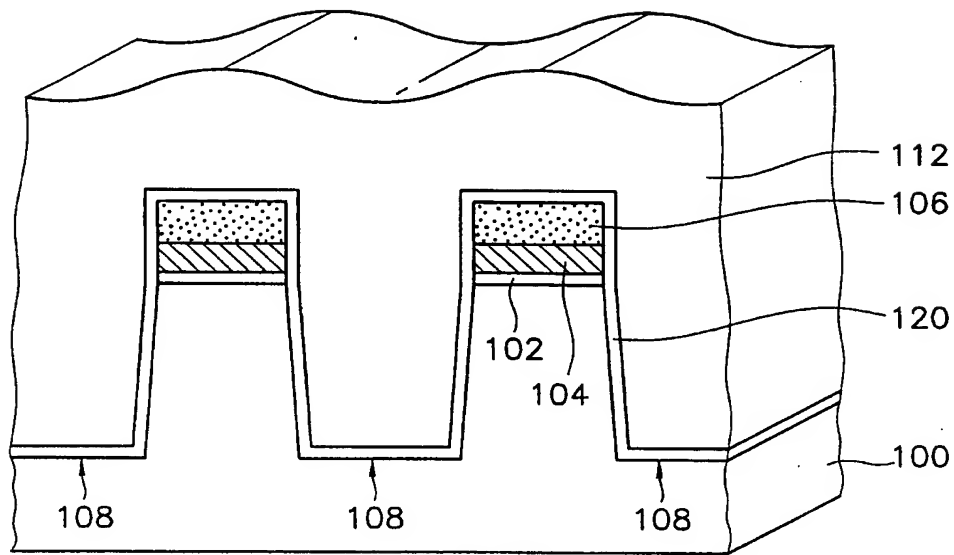


【도 3c】

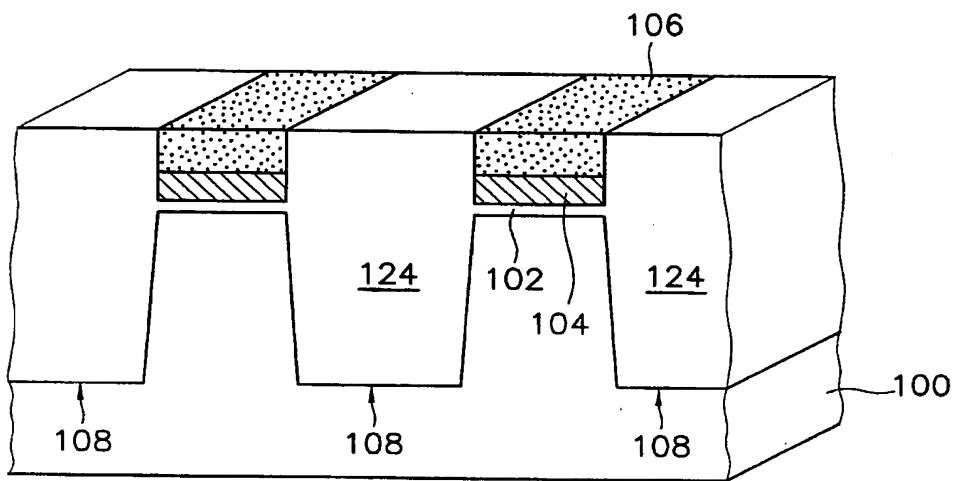




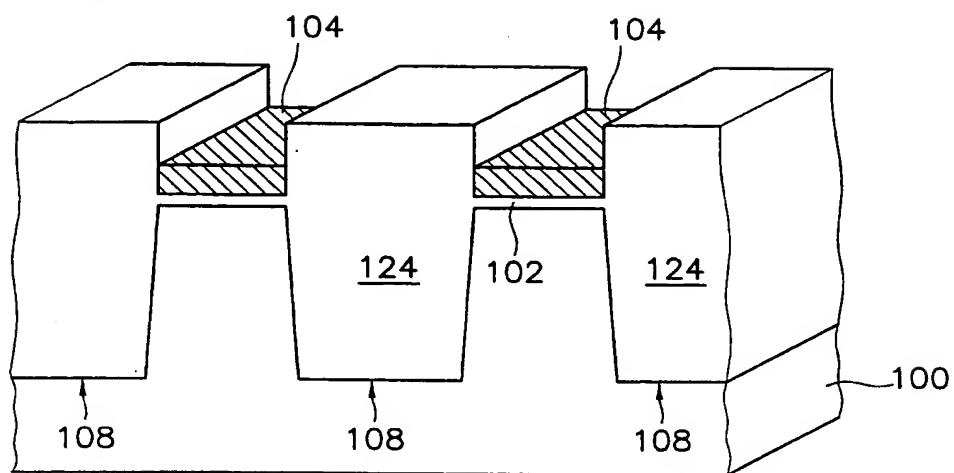
【도 3d】



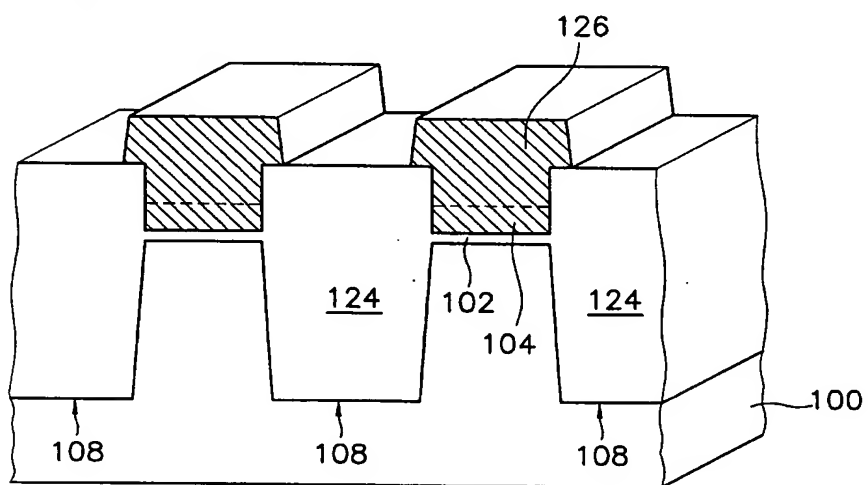
【도 3e】



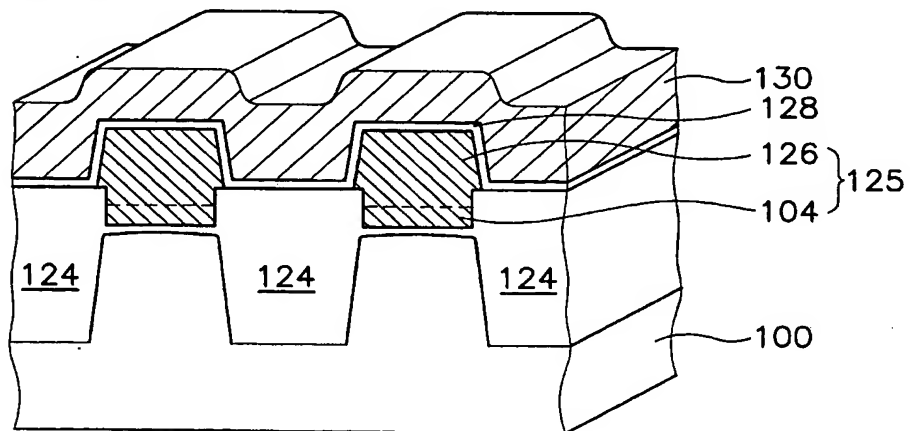
【도 3f】



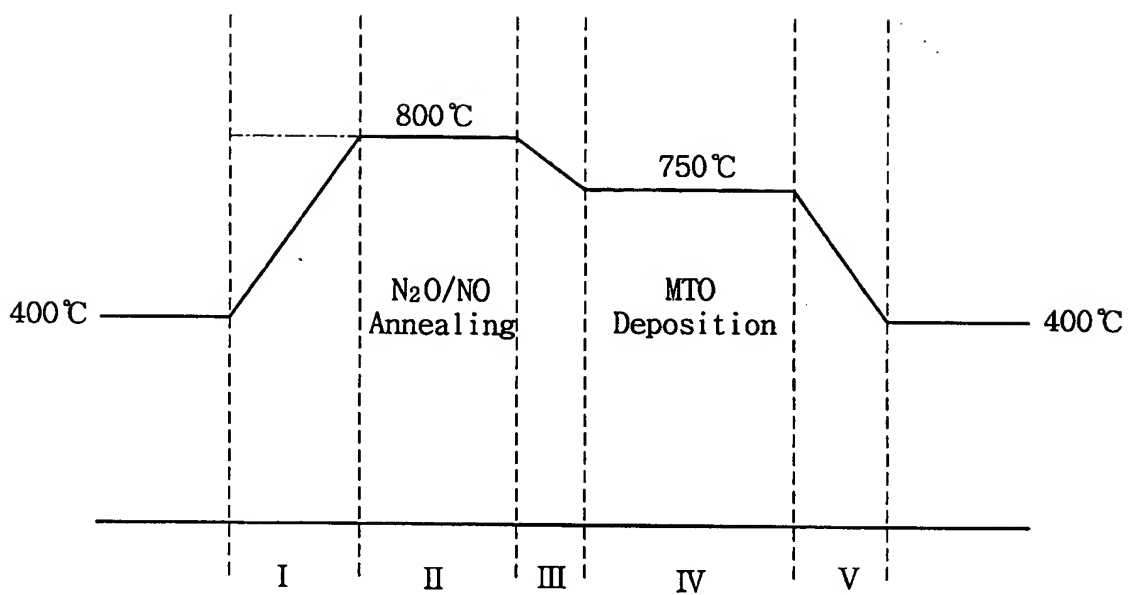
【도 3g】



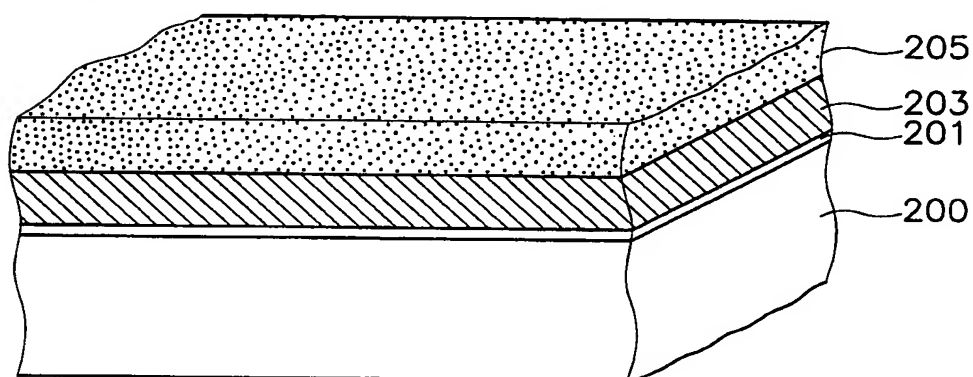
【도 3h】



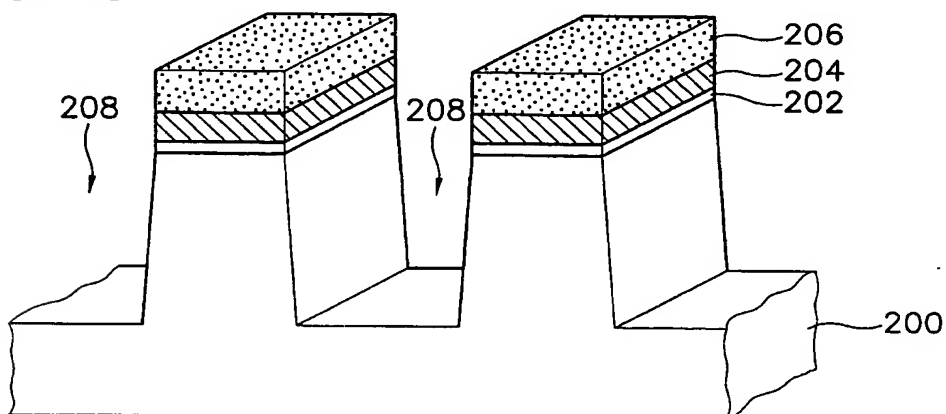
【도 4】



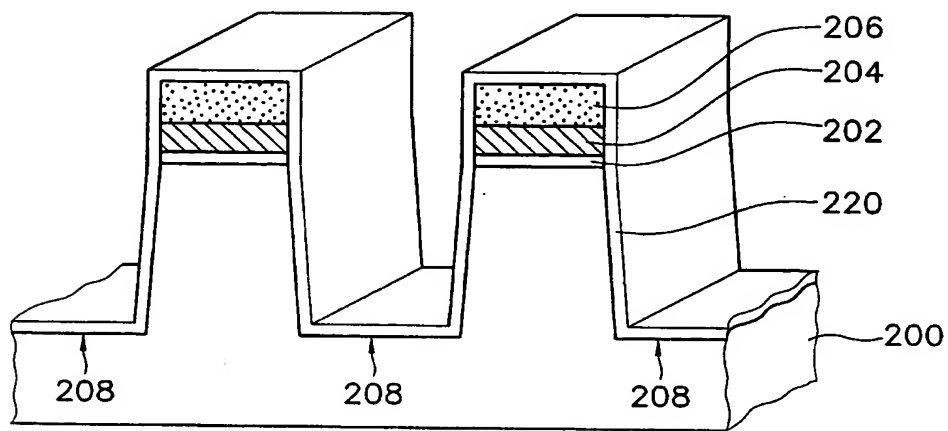
【도 5a】



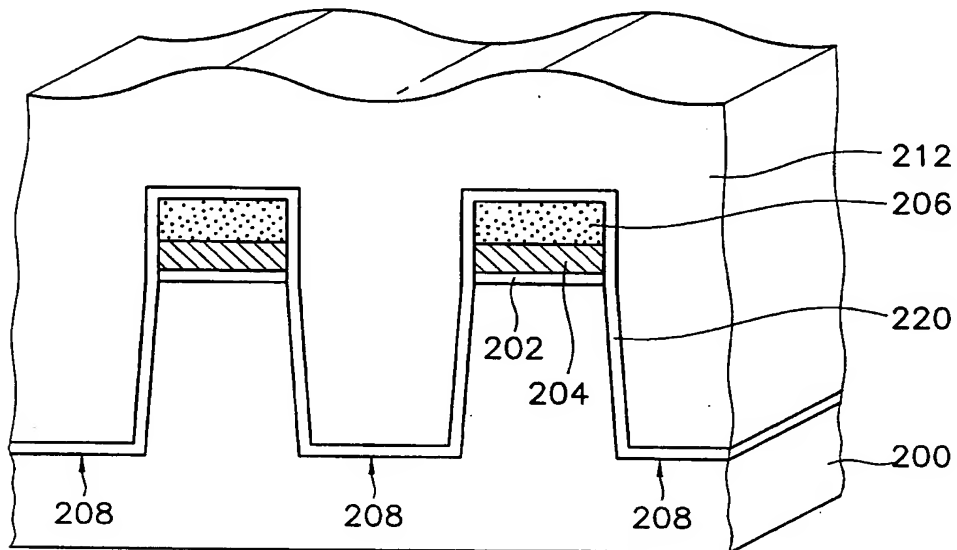
【도 5b】



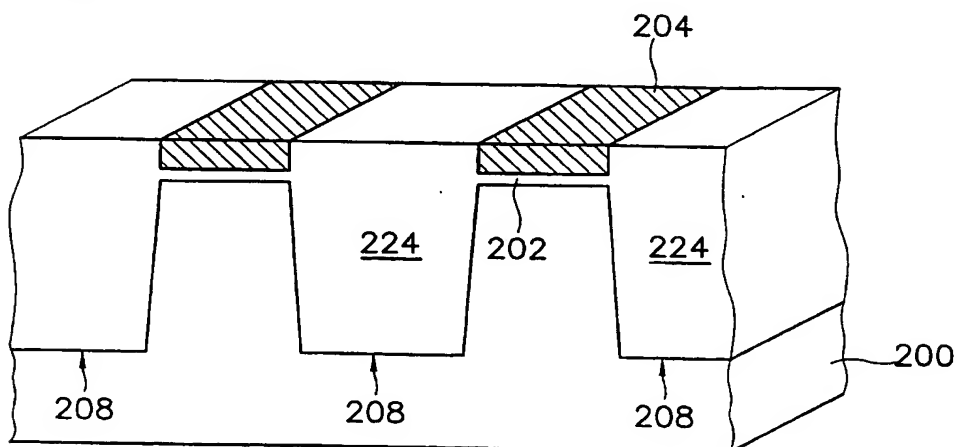
【도 5c】



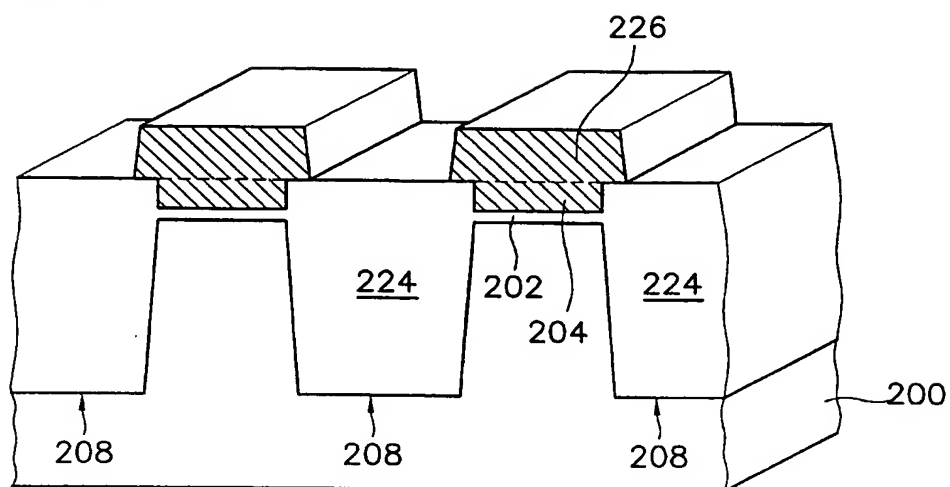
【도 5d】



【도 5e】



【도 5f】



【도 5g】

